

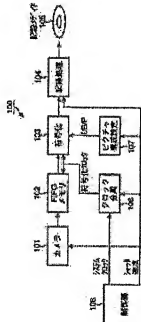
(43) Date of publication of application : 26.01.2001

H04N	7/24
H04N	5/232
H04N	5/243
H04N	5/765
H04N	5/907
H04N	5/92

(72)Inventor : YAMAMOTO YUKINORI
HOSHI SHUSUKE

PROBLEM TO BE SOLVED: To provide a camera incorporated type image recorder capable of substantially improving encoding efficiency at the time of recording dynamic images in a recording medium.

SOLUTION: In an encoding means 103, only image information generated at the time of shutter operation of an imaging device 101 is an object of encoding (MPEG encoding). At the time, a picture change means 107 changes constitution of an I picture, a P picture and a B picture within a GOP in the MPEG encoding based on the shutter operation. Thus, in the case that a shutter speed is low (slow shutter), since an encoding processing is performed while only the generated image information (picture data) is the object of encoding, a code amount is reduced and power consumption is reduced.



【特許請求の範囲】

【請求項1】 任意のシャッター動作により撮像して得られた画像情報を所定の符号化方式により符号化する符号化装置であって、

上記シャッター動作時に発生する画像情報のみを上記符号化の対象とする符号化手段を備えることを特徴とする符号化装置。

【請求項2】 上記所定の符号化方式は、MPEG符号化方式であり、

上記符号化手段は、上記シャッター動作に基づいて、上記MPEG符号化方式におけるGOP内のIピクチャ、Pピクチャ、及びBピクチャの構成を変更するピクチャ変更手段を含むことを特徴とする請求項1記載の符号化装置。

【請求項3】 任意のシャッター動作により撮像して得られた画像情報を所定の符号化方式により符号化する符号化装置であって、

上記シャッター動作に基づいたフレーム内符号化とフレーム間符号化の切り替えを行う上記符号化を行う符号化手段を備えることを特徴とする符号化装置。

【請求項4】 上記所定の符号化方式は、MPEG符号化方式であり、

上記符号化手段は、上記シャッター動作に基づいたフレーム内符号化とフレーム間符号化の切り替えによって、上記MPEG符号化方式におけるGOP内のIピクチャ、Pピクチャ、及びBピクチャの構成を変更するピクチャ変更手段を含むことを特徴とする請求項3記載の符号化装置。

【請求項5】 上記ピクチャ変更手段は、上記シャッター動作が $1/n$ (n :正の整数) スローシャッターである場合、上記GOP内において、Iピクチャから次のIピクチャまでの期間に($n-1$)フレームのPピクチャを発生させることを特徴とする請求項4記載の符号化装置。

【請求項6】 任意のシャッター動作により撮像して得られた画像情報をデジタル信号処理する信号処理手段と、

上記信号処理手段での処理後の画像情報を符号化する符号化手段とを備える画像処理装置であって、

上記符号化手段は、請求項1～5の何れかに記載の符号化装置の機能を有することを特徴とする画像処理装置。

【請求項7】 シャッター速度変更機能を有するカメラ型画像記録装置であって、上記シャッター速度変更機能によるシャッター動作により被写体を撮像する撮像手段と、

上記撮像手段により得られた上記被写体の画像情報を符号化する符号化手段と、

上記符号化手段により得られた符号を記録媒体に記録する記録手段とを備え、

上記符号化手段は、請求項1～5の何れかに記載の符号化装置の機能を有することを特徴とするカメラ型画像

像記録装置。

【請求項8】 上記符号化手段での符号化は、可変長符号化を含むことを特徴とする請求項7記載のカメラ型画像記録装置。

【請求項9】 複数の機器が通信可能に接続されてなる画像処理システムであって、上記複数の機器のうち少なくとも1つの機器は、請求項1～5の何れかに記載の符号化装置の機能を有することを特徴とする画像処理システム。

【請求項10】 任意のシャッター動作により撮像して得られた画像情報を所定の符号化方式により符号化するための符号化方法であって、上記シャッター動作時に発生する画像情報のみを上記符号化の対象とする符号化ステップを含むことを特徴とする符号化方法。

【請求項11】 上記所定の符号化方式は、MPEG符号化方式であり、

上記符号化ステップは、上記シャッター動作に同期し、且つ上記シャッター動作に応じて、上記MPEG符号化方式におけるGOP内のIピクチャ、Pピクチャ、及びBピクチャの構成を変更するピクチャ変更ステップを含むことを特徴とする請求項10記載の符号化方法。

【請求項12】 任意のシャッター動作により撮像して得られた画像情報を所定の符号化方式により符号化するための符号化方法であって、

上記シャッター動作に基づいたフレーム内符号化とフレーム間符号化の切り替えを行う上記符号化を行う符号化ステップを含むことを特徴とする符号化方法。

【請求項13】 上記所定の符号化方式は、MPEG符号化方式であり、

上記符号化ステップは、上記シャッター動作に基づいたフレーム内符号化とフレーム間符号化の切り替えによって、上記MPEG符号化方式におけるGOP内のIピクチャ、Pピクチャ、及びBピクチャの構成を変更するピクチャ変更ステップを含むことを特徴とする請求項12記載の符号化方法。

【請求項14】 上記ピクチャ変更ステップは、上記シャッター動作が $1/n$ (n :正の整数) スローシャッターである場合、上記GOP内において、Iピクチャから次のIピクチャまでの期間に($n-1$)フレームのPピクチャを発生させるステップを含むことを特徴とする請求項13記載の符号化方法。

【請求項15】 請求項10～15の何れかに記載の符号化方法の処理ステップを、コンピュータが読出可能に格納したことを特徴とする記憶媒体。

【請求項16】 様々なシャッター速度により撮像して得られた画像情報を符号化可能な符号化装置であって、上記画像情報を符号化する符号化手段と、上記シャッター速度に応じて上記符号化手段の動作周波数を制御する制御手段とを有することを特徴とする符号化

装置。

【請求項 17】 様々なシャッタ速度により撮像して得られた画像情報を符号化可能な符号化装置であって、画面内符号化モードと画面間符号化モードとを適応的に選択して上記画像情報を符号化する符号化手段と、上記シャッタ速度に応じて上記符号化手段の符号化モードを制御する制御手段とを有することを特徴とする符号化装置。

【請求項 18】 上記符号化手段は、MPEG 符号化方式に準拠していることを特徴とする請求項 16 又は 17

記載の符号化装置。

【請求項 19】 上記符号化手段により符号化された画像情報を記録媒体に記録する記録手段を有することを特徴とする請求項 16 又は 17 記載の符号化装置。

【請求項 20】 上記記録手段は、シャッタ速度を示すシャッタ速度情報を上記記録媒体に記録することを特徴とする請求項 19 記載の符号化装置。

【請求項 21】 請求項 16～20 の何れかに記載の符号化装置を備えたことを特徴とするカメラ型画像記録装置。

【請求項 22】 様々なシャッタ速度により撮像して得られた画像情報を符号化する符号化方法であって、上記画像情報を符号化する符号化ステップと、上記シャッタ速度に応じて上記符号化ステップでの動作周波数を制御する制御ステップとを含むことを特徴とする符号化方法。

【請求項 23】 様々なシャッタ速度により撮像して得られた画像情報を符号化する符号化方法であって、画面内符号化モードと画面間符号化モードとを適応的に選択して上記画像情報を符号化する符号化ステップと、上記シャッタ速度に応じて上記符号化ステップでの符号化モードを制御する制御ステップとを含むことを特徴とする符号化方法。

【請求項 24】 請求項 22 又は 23 に記載の符号化方法の処理ステップを、コンピュータが読出可能に格納したことを特徴とする記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、ディスクや半導体メモリ等のランダムアクセス可能な記録媒体に対して、デジタル動画像を記録する装置やシステムに用いられ、特に、シャッタ速度が変更可能なデジタルビデオカメラ等のカメラ型画像記録装置に用いられる、符号化装置、画像処理装置、カメラ型画像記録装置、画像処理システム、符号化方法、及びそれを実施するための処理ステップをコンピュータが読出可能に格納した記憶媒体に関するものである。

【0002】

【従来の技術】従来より例えば、動画像信号（映像信号）を記録媒体に記録する画像記録装置としては、アナ

ログ方式の動画像信号を磁気テープに記録するビデオテープレコーダ（VTR）がある。

【0003】しかしながら、デジタル信号処理技術の急速な進歩により、今日においては、アナログ方式の動画像信号をデジタル化して、それを記録媒体に記録するデジタル方式の画像記録装置が広く普及しつつある。このデジタル方式の画像記録装置としては、例えば、デジタル VTR、固体ディスクや光磁気ディスクを記録媒体とするデジタルビデオディスク装置、フラッシュメモリや SRAM 等の固体メモリを記録媒体とする固体メモリビデオ装置、デジタルビデオカメラ等のカメラ型画像記録装置がある。

【0004】例えば、上述のような画像記録装置としてのカメラ型画像記録装置は、次のような構成により、被写体を撮影して、該被写体の動画像信号を記録媒体に記録するようになされている。

【0005】まず、カメラ型画像記録装置には、被写体を撮像する撮像手段として、CCD が搭載されているのが一般的であり、この CCD に蓄積された電荷を読み出すことによって、被写体の動画像信号を取り込む構成としている。CCD によって取り込まれた動画像信号は、アナログ/デジタル（A/D）変換され、さらに、圧縮符号化されて、情報量の削減が行なわれる。これにより、少ない記録容量に多くの動画像情報を記録することができる。

【0006】上記の圧縮符号化方式としては、直交変換を用いた方式が用いられるが、特にその中で、圧縮効率の良い離散コサイン変換（以下、「DCT（Discrete Cosine Transform）変換」と言う）及び可変長符号化を用いた方式が用いられている。

【0007】DCT 変換及び可変長符号化を用いた圧縮符号化方式では、まず、一枚の画像を、水平×垂直、直交 y 要素の複数の要素ブロックに分割し、ブロック単位で DCT 変換を行う。次に、DCT 変換により得られた DCT 係数を、任意の除数で割削し、そのあまりを丸めることで量子化する。そして、量子化後の画像は低周波成分に偏るという特性を利用して、量子化データの高周波成分のビット数を減らすことで、情報量を大幅に削減する。また、量子化データに対して、そのデータの発生頻度に応じた符号長を割り当てる可変長符号化（例えば、ハフマン符号化）を行うことで、さらなる情報量の削減を図る。このとき、さらに、動画像はフレーム間で相関が強いという特性を利用して、フレーム間の差分を取るフレーム間予測符号化を組み合わせたことにより、さらに圧縮効率を大きくすることが可能となる。

【0008】上述のように、画像記録装置では、様々な圧縮技術を組み合わせることでデジタル動画像信号を圧縮し、その情報量を削減した上で記録媒体に記録するようになされている。

【0009】ここで、可変長符号化を用いた圧縮符号化

方式を用いて、動画像信号を圧縮して記録媒体に記録する場合、記録する動画像信号によって、圧縮後の情報量が変動してしまう。このため、画像記録装置では、圧縮後の情報量を一定にするレート制御、すなわち動画像信号の記録レートを均一化して、定められた記録媒体の容量の中に、動画像信号を一定時間内に納めて記録するための制御を行なうようになされている。

【0010】具体的には、例えば、固定レート（CBR: Constant Bit Rate）記録をサポートするレート制御があり、このレート制御では、変動のある圧縮後のデータ、ある一定の容量が規定されたバッファ内に書き込み、そのバッファから、一定レートでデータを読み出すことで、定レート化する。また、書き込みデータ（圧縮後のデータ）の量がバッファの規定値を超えそうな場合は、上述した量子化レベルを大きくして圧縮率を上げる制御を行い、これとは逆に、書き込みデータの量がバッファの規定値を満たさない場合は、量子化レベルを下げて圧縮率を下げる制御を行う、というようなバッファ制御をもう。

【0011】上述のようなCBR記録のレート制御を用いた場合、記録時間が一定となるため、画像記録装置では、例えば、デジタルビデオカメラ等のカメラ一体型画像記録装置では、撮影中の画像のモニタとなるディスプレイやビューファインダ（EVF）内に、記録媒体の記録残り時間を示す残量表示が設けられている。

【0012】しかしながら、CBR記録のレート制御では、記録媒体への記録に要する目標時間を優先して、記録レートを一定にするような制御であるため、記録対象となる動画像の動きが速かったり、色の帯域が広い場合、量子化を粗くする制御が行なわれてしまう。この結果、フレーム毎に均でない画像となる場合がある。

【0013】そこで、CBR記録のレート制御に対して、画質を重視して量子化レベルをほぼ一定値に保つための、可変レート（VBR: Variable Bit Rate）記録のレート制御が提案されている。

【0014】

【発明が解決しようとする課題】ところで、上述したような画像記録装置としての、例えば、カメラ一体型画像記録装置には、被写体或いは撮影状況によってシャッタ速度を変更できる機能（以下、「シャッタ速度変更機能」と言う）が設けられている。このシャッタ速度変更機能により、非常に動きの激しいスポーツ等が被写体の場合、シャッタ速度を通常よりも速くすることで、動きによるボケを抑えることができる。一方、屋内等の暗い場所での撮影時に十分な照明が不足した場合（低照度時の撮影の場合）には、シャッタ速度を通常より遅くすることで、明るくノイズの少ない撮影画像を得ることができ、また、特殊効果を得ることもできる。

【0015】しかしながら、カメラ一体型画像記録装置において、上述のようなシャッタ速度変更機能によりシ

ャッタ速度が通常より遅く設定された場合（スローシャッタに設定された場合）、被写体を撮像するための撮像手段（CCD等）の出力形態が通常とは異なるために、その後段の処理である圧縮符号化処理等に注意が必要となる。

【0016】具体的には、まず、図11(a)は、撮像手段としてのCCDの通常の出力を示したものである。ここでは、撮像手段が、被写体から受けた光を1/60秒間蓄積する毎に蓄積電荷を出力するものとしており（シャッタ速度=1/60秒）、上記図11(a)及び後述する図(b)、(c)中の箱（“1”、“1'”、“2”等により示す箱）は、各フィールドの画像信号を示している。これらの箱により示す各フィールドの画像信号において、ダッシュが付加されていない数字（“1”や“2”等）の箱は、奇数フィールドの画像信号を示し、ダッシュが付加された数字（“1'”や“2'”等）の箱は、偶数フィールドの画像信号を示している。

【0017】そこで、シャッタ速度変更機能によりシャッタ速度を速くした場合、CCDでの蓄積期間が短くなるだけで、CCDの出力形態は、上記図11(a)に示す通常時の出力形態と全く同じになるので問題はない。

【0018】しかしながら、スローシャッタの場合、例えば、シャッタ速度を1/4に落として1/15秒とした場合、上記図11(b)に示すように、1/15秒毎にしか、CCDから画像信号を得られないことになる。これは特に、テープ状の記録媒体に対して圧縮符号化した画像信号をCBR記録（固定レート記録）のレート制御によって記録する場合に特に不都合であり、この場合には、上記図11(c)に示すように、同じフィールドの画像信号で間を繰り返し埋めることで、1/60秒毎の連続した信号とする必要がある。

【0019】したがって、従来では、図12に示すように、CCDを含むカメラ部501の出力先にフィールドメモリ502を設け、シャッタ速度が遅い場合には、そのシャッタ速度に応じて、フィールドメモリ502に対する書込及び読出制御を行うことで、圧縮符号化を行なう符号化手段503に対して、連続した画像信号が供給されるようにし、シャッタ速度が通常或いは速い場合には、フィールドメモリ502を使用しないでバイパスする、といった構成が必要であった。このため、上述した画像信号の埋め込みによる符号化効率の低下を招くばかりでなく、回路構成が複雑化すると共に、消費電力が増加してしまうという問題があった。

【0020】また、シャッタ速度が遅い場合、例えば、1/nのスローシャッタの場合、CCDに電荷が蓄積されるnフレーム期間は同じ画像であるにもかかわらず（前フレームの画像信号が保持されているにもかかわらず）、全ての画像信号が通常のシャッタ速度の場合と同様の圧縮符号化が行なわれたので、符号化効率が著し

く悪化するという問題があった。

【0021】そこで、本発明は、上記の欠点を除去するために成されたもので、符号化効率を著しく向上させることができる、符号化装置、画像処理装置、カメラ一体型画像記録装置、画像処理システム、符号化方法、及びそれを実施するための処理ステップをコンピュータが読出可能に格納した記憶媒体を提供することを目的とする。また、本発明は、上記の欠点を除去するために成されたもので、簡単な構成で効率的な符号化を行うことができると共に、消費電力を低減することができる、符号化装置、画像処理装置、カメラ一体型画像記録装置、画像処理システム、符号化方法、及びそれを実施するための処理ステップをコンピュータが読出可能に格納した記憶媒体を提供することを目的とする。

【0022】

【課題を解決するための手段】所かる目的下において、任意のシャッタ動作により撮像して得られた画像情報を所定の符号化方式により符号化する符号化装置であって、上記シャッタ動作時に発生する画像情報のみを上記符号化の対象とする符号化手段を備えることを特徴とする。

【0023】第2の発明は、上記第1の発明において、上記所定の符号化方式は、MPEG符号化方式であり、上記符号化手段は、上記シャッタ動作に基づいて、上記MPEG符号化方式におけるGOP内のIピクチャ、Pピクチャ、及びBピクチャの構成を変更するピクチャ変更手段を含むことを特徴とする。

【0024】第3の発明は、任意のシャッタ動作により撮像して得られた画像情報を所定の符号化方式により符号化する符号化装置であって、上記シャッタ動作に基づいたフレーム内符号化とフレーム間符号化の切り替えを行って上記符号化を行う符号化手段を備えることを特徴とする。

【0025】第4の発明は、上記第3の発明において、上記所定の符号化方式は、MPEG符号化方式であり、上記符号化手段は、上記シャッタ動作に基づいたフレーム内符号化とフレーム間符号化の切り替えによって、上記MPEG符号化方式におけるGOP内のIピクチャ、Pピクチャ、及びBピクチャの構成を変更するピクチャ変更手段を含むことを特徴とする。

【0026】第5の発明は、上記第4の発明において、上記ピクチャ変更手段は、上記シャッタ動作が $1/n$ (n : 正の整数) スローシャッタである場合、上記GOP内において、Iピクチャから次のIピクチャまでの期間に $(n-1)$ フレームのPピクチャを発生させることを特徴とする。

【0027】第6の発明は、任意のシャッタ動作により撮像して得られた画像情報をデジタル信号処理する信号処理手段と、上記信号処理手段での処理後の画像情報を符号化する符号化手段とを備える画像処理装置であ

て、上記符号化手段は、請求項1〜5の何れかに記載の符号化装置の機能を有することを特徴とする。

【0028】第7の発明は、シャッタ速度変更機能を有するカメラ一体型画像記録装置であって、上記シャッタ速度変更機能によるシャッタ動作により被写体を撮像する撮像手段と、上記撮像手段により得られた上記被写体の画像情報を符号化する符号化手段と、上記符号化手段により得られた符号を記録媒体に記録する記録手段とを備え、上記符号化手段は、請求項1〜5の何れかに記載の符号化装置の機能を有することを特徴とする。

【0029】第8の発明は、上記第7の発明において、上記符号化手段での符号化は、可変長符号化を含むことを特徴とする。

【0030】第9の発明は、複数の機器が通信可能に接続されてなる画像処理システムであって、上記複数の機器のうち少なくとも1つの機器は、請求項1〜5の何れかに記載の符号化装置の機能を有することを特徴とする。

【0031】第10の発明は、任意のシャッタ動作により撮像して得られた画像情報を所定の符号化方式により符号化するための符号化方法であって、上記シャッタ動作時に発生する画像情報のみを上記符号化の対象とする符号化ステップを含むことを特徴とする。

【0032】第11の発明は、上記第10の発明において、上記所定の符号化方式は、MPEG符号化方式であり、上記符号化ステップは、上記シャッタ動作に同期し、且つ上記シャッタ動作に応じて、上記MPEG符号化方式におけるGOP内のIピクチャ、Pピクチャ、及びBピクチャの構成を変更するピクチャ変更ステップを含むことを特徴とする。

【0033】第12の発明は、任意のシャッタ動作により撮像して得られた画像情報を所定の符号化方式により符号化するための符号化方法であって、上記シャッタ動作に基づいたフレーム内符号化とフレーム間符号化の切り替えを行って上記符号化を行う符号化ステップを含むことを特徴とする。

【0034】第13の発明は、上記第12の発明において、上記所定の符号化方式は、MPEG符号化方式であり、上記符号化ステップは、上記シャッタ動作に基づいたフレーム内符号化とフレーム間符号化の切り替えによって、上記MPEG符号化方式におけるGOP内のIピクチャ、Pピクチャ、及びBピクチャの構成を変更するピクチャ変更ステップを含むことを特徴とする。

【0035】第14の発明は、上記第13の発明において、上記ピクチャ変更ステップは、上記シャッタ動作が $1/n$ (n : 正の整数) スローシャッタである場合、上記GOP内において、Iピクチャから次のIピクチャまでの期間に $(n-1)$ フレームのPピクチャを発生させるステップを含むことを特徴とする。

【0036】第15の発明は、請求項10〜15の何れ

かに記載の符号化方法の処理ステップを、コンピュータが読出し可能に格納した記憶媒体であることを特徴とする。

【0037】第16の発明は、様々なシャッタ速度により撮像して得られた画像情報を符号化可能な符号化装置であって、上記画像情報を符号化する符号化手段と、上記シャッタ速度に応じて上記符号化手段の動作周波数を制御する制御手段とを有することを特徴とする。

【0038】第17の発明は、様々なシャッタ速度により撮像して得られた画像情報を符号化可能な符号化装置であって、画面上符号化モードと画面間符号化モードとを適応的に選択して上記画像情報を符号化する符号化手段と、上記シャッタ速度に応じて上記符号化手段の符号化モードを制御する制御手段とを有することを特徴とする。

【0039】第18の発明は、上記16又は17の発明において、上記符号化手段は、MPEG符号化方式に準拠していることを特徴とする。

【0040】第19の発明は、上記16又は17の発明において、上記符号化手段により符号化された画像情報を記録媒体に記録する記録手段を有することを特徴とする。

【0041】第20の発明は、上記19の発明において、上記記録手段は、シャッタ速度を示すシャッタ速度情報を上記記録媒体に記録することを特徴とする。

【0042】第21の発明は、請求項16～20の何れかに記載の符号化装置を備えたカメラ一体型画像記録装置であることを特徴とする。

【0043】第22の発明は、様々なシャッタ速度により撮像して得られた画像情報を符号化する符号化方法であって、上記画像情報を符号化する符号化ステップと、上記シャッタ速度に応じて上記符号化ステップでの動作周波数を制御する制御ステップとを含むことを特徴とする。

【0044】第23の発明は、様々なシャッタ速度により撮像して得られた画像情報を符号化する符号化方法であって、画面上符号化モードと画面間符号化モードとを適応的に選択して上記画像情報を符号化する符号化ステップと、上記シャッタ速度に応じて上記符号化ステップでの符号化モードを制御する制御ステップとを含むことを特徴とする。

【0045】第24の発明は、請求項22又は23に記載の符号化方法の処理ステップを、コンピュータが読出し可能に格納した記憶媒体であることを特徴とする。

【0046】

【発明の実施の形態】以下、本発明の実施の形態について図面を用いて説明する。

【0047】（第1の実施の形態）本発明は、例えば、図1に示するようなカメラ一体型画像記録装置100に適用される。このカメラ一体型画像記録装置100は、

動画像の圧縮符号化方式として、MPEG (Moving Picture Experts Group) 方式を採用している。以下、MPEG符号化方式についての説明を始め、カメラ一体型画像記録装置100の構成について具体的に説明する。

【0048】[MPEG符号化方式]

【0049】近年、MPEG符号化と呼ばれる高能率符号化方式が用いられる場合が多い。このMPEG符号化方式では、各フレーム（又は、フィールド、以下同様）を、Iピクチャ、Pピクチャ、及びBピクチャの3種類に分類する。

【0050】Iピクチャ (Intra-Picture) は、フレーム内符号化を行なうフレームであり、他のフレームの情報に必要とせずに、単独に符号化できるが、符号量を多く必要とする。Pピクチャ (Predictive-Picture) は、1フレーム～複数フレーム時間先行するI又はPピクチャから動き補償予測したフレームとの差分を符号化する、いわゆるフレーム間予測符号化を行なうフレームであり、Iピクチャに比べて符号量を大幅に減らすことが可能である。Bピクチャ (Bidirectionally-Picture) は、先行するI又はPピクチャから予測するだけでなく、後続するI又はPピクチャからも予測を行なう双方向フレーム間予測符号化を行なうフレームであり、Pピクチャよりもさらに符号量を削減できる。

【0051】上述の通りにより、符号化効率を向上させるためには、Iピクチャをなるべく使わないようにすればよいが、そのように構成した場合、ビットエラーにより動き補償予測が不可能となり、大きな画質劣化が生じ復帰できないという問題がある。また、記録媒体に記録された符号化信号をサーチ再生しようとした場合、飛び飛びに再生される信号から独自に復号が可能なのはIピクチャだけであるため、サーチ再生の画質が不十分となる問題がある。このため、適当な間隔でIピクチャを用いる必要がある。

【0052】また、PピクチャよりもBピクチャを多く用いた方が符号化効率の点では有利であるが、Pピクチャを多用すると、Bピクチャの間隔が長くなり、これに従って、予測誤差も増加してしまい、Pピクチャの符号量が増大してしまうという問題がある。一方、Bピクチャを多用すると、Bピクチャは後方予測が必要なため、符号化順序変更用のフレームメモリが多く必要になるという問題がある。

【0053】したがって、MPEG符号化方式では、I、P、Bピクチャの総合的なバランスを考慮して、一般的には図2に示するようなピクチャ構成がよく用いられる。

【0054】上記図2に示すように、MPEG符号化方式では、少なくとも1枚のIピクチャを含む複数枚のフレームを—ままとりしにGOP (Group Of Picture) を規定している。ここでは、15フレームをGOPとしているため、GOP長“15”の符号化となる。GOP

の最後は、I 又は P ピクチャであり、GOP の中で最初に符号化を行なうフレームは I ピクチャである。上記図 2 では、先頭が B ピクチャであるが、このような場合でも、GOP の中で最初に符号化を行なうフレームは I ピクチャである。

【0055】 本実施の形態におけるカメラ一体型画像記録装置 100 の構成

【0056】 カメラ一体型画像記録装置 100 は、シャッタ速度変更機能を有するものであり、上記図 1 に示すように、CCD を含むカメラ部 1、FIFO メモリ 102、上述した MPEG 符号化方式を用いた符号化部 103、記録処理部 104、記録メディア（記録媒体）105、クロック分周部 106、ピクチャ構成設定部 107、及び装置全体の動作制御を司る制御部 108 を備えている。

【0057】 通常のシャッタ速度における動作

【0058】 例えば、通常のシャッタ速度を $1/60$ 秒とすると、先ず、カメラ部 101 は、制御部 108 からのシャッタ速度情報に基づいて、CCD により被写体を撮像して該被写体の画像信号を取得し、その画像信号に対して、A/D 変換やガンマ補正等の信号処理を行なう。カメラ部 101 での処理後の画像信号は、FIFO メモリ 102 に書き込まれる。このときの書き込みは、制御部 108 から出力されるシステムクロック（図示しないが装置全体に供給されるクロック、例えば、CIRRec. 601 で規定される 27MHz ）に従って行なわれる。

【0059】 FIFO メモリ 102 は、1 フィールド分の容量を有し、FIFO メモリ 102 に書き込まれた画像信号は、後述するクロック分周部 106 から供給される符号化クロックに基づいて、符号化部 103 に対して読み出される。

【0060】 クロック分周部 106 は、制御部 108 からのシステムクロックを $1/N$ に分周して、符号化のためのクロックを生成するが、制御部 108 からのシャッタ速度情報により、通常のシャッタ速度及び速いシャッタ速度の場合は分周処理を行わず、制御部 108 からのシステムクロックをそのまま符号化クロックとする。ここでは、通常のシャッタ速度とされているため、クロック分周部 106 は、制御部 108 からのシステムクロックをそのまま FIFO メモリ 102 及び符号化部 103 にそれぞれ供給する。

【0061】 したがって、この場合、FIFO メモリ 102 に書き込まれた画像信号は、システムクロックに基づいて読み出されることになり、すなわち FIFO メモリ 102 の書込クロックと読出クロックが同じとなるため、カメラ部 101 から出力された画像信号は、FIFO メモリ 102 に書き込まれるとすぐに読み出される。換言すれば、カメラ部 101 の出力である画像信号が直接、符号化部 103 に供給される。

【0062】 符号化部 103 は、FIFO メモリ 102 からの画像信号に対して、MPEG 符号化方式に従った圧縮符号化を行なう。このとき、符号化部 103 は、クロック分周部 106 からの符号化クロックに従って圧縮符号化を行なうが、非常に高速な処理が必要とされるため、該符号化クロックを倍出したクロックを内部クロックとして使用する。

【0063】 ピクチャ構成設定部 107 は、制御部 108 からのシャッタ速度情報により、そのシャッタ速度に対応して、各フレーム（又は、フィールド）を I、P、B の何れのピクチャとして処理すべきかを設定し、それを符号化部 103 に対して指示する。

【0064】 したがって、符号化部 103 は、ピクチャ構成設定部 107 からの指示に従って、図 3 (a) に示すように、フィールド 1'、フィールド 1''、フィールド 2'、フィールド 2''、・・・の順で供給される画像信号に対して、上記の圧縮符号化を行なう。

【0065】 尚、上記図 3 (a) 及び後述する図 4 (b) ~ (e) において、箱（"1'", "1''", "2'", "2''" 等により示す箱）は、各フィールドの画像信号を示している。これらの箱により示す各フィールドの画像信号において、ダッシュが付加されていない数字（"1'" や "2'" 等）の箱は、奇数フィールドの画像信号を示し、ダッシュが付加された数字（"1''" や "2''" 等）の箱は、偶数フィールドの画像信号を示している。また、ここでは、通常のシャッタ速度としているため、上記図 2 に示したピクチャ構成（GOP 長を "15"）としている。また、説明の簡単のため、I ピクチャを先頭に置いている。

【0066】 記録処理部 104 は、符号化部 103 により圧縮符号化（MPEG 符号化）された画像信号に対して、制御部 108 からのシャッタ速度情報及びエラー訂正符号の付加処理や、変調処理等の処理を行い、この処理後の画像信号を記録媒体 105 に記録する。

【0067】 ここで、シャッタ速度情報を共に記録するのは、再生時に復号したピクチャを、シャッタ速度（スローシャッタの場合のみ）に応じてホールド（フリーズ）するためである。尚、シャッタ速度情報、MPEG 符号化方式にて規定されている MPEG 符号化ストリーム内の PTS（表示タイムスタンプ）と DTS（復号タイムスタンプ）で代用できる場合は、シャッタ速度情報を同時に記録する必要はない。

【0068】 [スローシャッタにおける動作 (1)]

尚、ここでは、上述した通常のシャッタ速度時の動作と異なる動作についてのみ具体的に説明する。

【0069】 上記図 3 (b) は、シャッタ速度が $1/2$ ($1/30$ 秒) である場合の、カメラ部 101 から出力される画像信号（上段）、FIFO メモリ 102 から符号化部 103 に対して読み出される画像信号（中段）、ピクチャ構成設定部 107 が符号化部 103 に対して指

示するピクチャ構成（下段）を示したものである。

【0070】上記図3（b）に示すように、カメラ部101から出力される画像信号は、フィールド1、フィールド2、フィールド3、・・・というように、間欠的な奇数フィールドのみの信号となっている。

【0071】FIFOメモリ102から符号化部103に対して読み出される画像信号の読み出しの速度は、カメラ部101の出力、すなわちカメラ部101の出力がFIFOメモリ102に書き込まれる速度に対して遅く（ゆっくり）行われる。これは、クロック分周部106が、制御部108からのシステムクロックを2分周（ $N=2$ ）したものを、FIFOメモリ102の読出クロックとして供給するためである。また、符号化部103への入力データ量としては、上記図3（a）に示した通常のシャッタ速度時の入力データ量に対して半分となっており、このため、符号化部103での圧縮符号化処理も、通常のシャッタ速度時の処理速度に対して半分の速度で行われる。

【0072】上述のような状態である場合、ピクチャ構成設定部107から符号化部103に対しては、I、B、P、P、B、B、・・・といったピクチャ構成が指示される。このときのピクチャ構成は、上記図3（a）に示した通常のシャッタ速度時のピクチャ構成と同様の構成であるが、それぞれのピクチャが、フレームからフィールド（ライン数が1/2）となっている点が異なる。これにより、通常のシャッタ速度時に対して、ピクチャ構成が同じで符号化部103への符号化前の入力データ量が1/2であることを考慮すると、符号化部103にて得られる符号化後のデータ量は、通常のシャッタ速度時の符号化後のデータ量の1/2程度となる。すなわち、符号化後の情報量を削減することができる。また、回路の消費電力についても、それを低減することができる。

【0073】尚、上記図3（b）において、最下段に（ ）で「I、P、P、P、・・・」という別のピクチャ構成を示した。これは、再生時に符号化した各ピクチャを1フィールド時間保持する（2回表示すると考えてよい）ためにフィールドメモリを要するが、一般にMPEG符号化方式のコードでは、I及びPピクチャ用のメモリが必須であるのに対して、Bピクチャは他のピクチャから参照されないため保持するべきメモリが必要ではないことからきている。これを考慮して、Bピクチャを用いないようなピクチャ構成とした。

【0074】【スローシャッタにおける動作（2）】尚、ここでは、上述した通常のシャッタ速度時の動作及びスローシャッタにおける動作（1）と異なる動作についてのみ具体的に説明する。

【0075】上記図3（c）及び（d）は、同図（b）により示されるシャッタ速度よりも、さらにシャッタ速度を落とした場合を示したものである。

【0076】まず、上記図3（c）では、カメラ部101から出力される画像信号が、フィールド1、フィールド3、フィールド5、・・・というように、同図（b）で示した場合よりもさらに間欠的な奇数フィールドのみの信号となっている。

【0077】また、FIFOメモリ102から符号化部103に対して読み出される画像信号の読み出しの速度についても、クロック分周部106にて生成される読出クロックにより、上記図3（b）で示した場合よりもさらにゆっくりと行われ、このときの符号化部103への入力データ量についても、上記図3（b）で示した場合よりもさらに少ない量となっている。

【0078】上述のような状態である場合、ピクチャ構成設定部107から符号化部103に対しては、I、P、P、P、P、P、・・・、Iといったピクチャ構成が指示される。これは、例えば、I、B、P、B、・・・というピクチャ構成を指示すると、IとP、PとPの時間間隔が4フレーム時間と離れてしまい、動き補償予測符号化の効率が低下することを選避するためである。

【0079】一方、上記図3（d）では、カメラ部101から出力される画像信号が、フィールド1、フィールド5、フィールド9、・・・というように、同図（c）で示した場合よりもさらに間欠的な奇数フィールドのみの信号となっている。

【0080】また、FIFOメモリ102から符号化部103に対して読み出される画像信号の読み出しの速度についても、クロック分周部106にて生成される読出クロックにより、上記図3（c）で示した場合よりもさらにゆっくりと行われ、このときの符号化部103への入力データ量についても、上記図3（c）で示した場合よりもさらに少ない量となっている。

【0081】上述のような状態である場合、ピクチャ構成設定部107から符号化部103に対しては、I、I、I、・・・といったピクチャ構成が指示される。このように、この場合には全てIピクチャとしたのは、符号化部103に対する符号化前の入力データ量が十分少ないためである。

【0082】したがって、シャッタ速度が遅くなるに従って、その分符号化後の情報量を削減することができ、また、回路の消費電力についても、それを低減することができる。

【0083】【速いシャッタ速度における動作】尚、ここでは、上述した通常のシャッタ速度時の動作及びスローシャッタにおける動作（1）、（2）と異なる動作についてのみ具体的に説明する。

【0084】上記図3（e）は、逆にシャッタ速度を速くした場合のピクチャ構成を示したものである。

【0085】上記図3（e）に示すように、カメラ部101から出力される画像信号は、フィールド1、フィールド1'、フィールド2、フィールド2'、・・・とい

のように、同図(a)で示した通常のシャッタ速度時と同様である。

【0086】また、FIFOメモリ102から符号化部103に対して読み出される画像信号の読み出しの速度についても、上記図3(a)で示した通常のシャッタ速度時と同様に、FIFOメモリ102への書き込み速度と同じ速度であり、このときの符号化部103への入力データ量についても、同図(a)で示した通常のシャッタ速度時と同じデータ量となっている。

【0087】上述のように、速いシャッタ速度では、カメラ部101の出力信号自体は、上記図3(a)で示した通常のシャッタ速度時と変わらないが、被写体の動きが速くなっている。このため、ピクチャ構成は、シャッタ速度の速さに従って、IとP、PとPの間隔を狭くする必要がある。したがって、この場合、ピクチャ構成設定部107から符号化部103に対しては、I、B、P、B、P、B、・・・といったピクチャ構成が指示される。これにより、符号量は通常時よりも増加するが、画質改善を図ることができる。

【0088】[通常のシャッタ速度時とスローシャッタ時の符号量の比較]

【0089】例えば、上記図3(a)にて示した通常のシャッタ速度時の符号量と、同図(c)にて示したスローシャッタ時の符号量とを比較する。ここでは、それぞれの場合のピクチャ構成がI、B、B、P、B、・・・、I、P、P、P、B、・・・というように互いに異なるため単純には比較できないが、統計的にI:P:Bの符号量の比を、例えば、4:2:1と仮定して、1フレーム当たりの符号量を計算してみる。

【0090】上記図3(a)におけるBピクチャ1枚の符号量をMビットとすると、I GOP (15フレーム)中にI、P、Bがそれぞれ各1フレーム、4フレーム、10フレーム含まれるため、この場合の1フレーム当たりの平均符号量は、

$$(4 \times 1 + 2 \times 4 + 1 \times 10) M / 15 = 2.2 M / 15 \text{ ビット}$$

となる。

【0091】一方、上記図3(c)における1フレーム当たりの平均符号量は、I GOP (15フレーム)中にI、P、Bがそれぞれ各1フレーム、7フレーム、0フ

レーム含まれるため、

$$(2 \times 1 + 1 \times 7) M / 16 = 9 M / 16 \text{ ビット}$$

となる。尚、上記図3(c)に示す状態の場合ではフィールドピクチャのため、I、Pとも半分の符号量として計算した。

【0092】したがって、スローシャッタ時の符号量は、通常のシャッタ速度時に比べて、40%程度の符号量となる。

【0093】上述のように、本実施の形態では、スローシャッタの場合には、従来のように画像信号の埋込は行

わず(上記図1参照)、発生する画像信号のみを圧縮符号化の対象とし、さらに、符号化効率を考慮したピクチャ構成を設定するように構成したので、符号量の低減を図ることができると共に、消費電力の低減を図ることができる。また、従来のように連続した信号を生成するためのフィールドメモリを設ける必要がないので、回路構成をより簡単にすることができ、コストダウンを図ることもできる。また、速いシャッタ速度の場合でも、上記の符号化効率を考慮したピクチャ構成により、画質向上を図ることができる。

【0094】尚、上述した実施の形態では、シャッタ速度が遅くなるに伴って、符号化クロック速度を低下させたが、例えば、符号化クロック速度をそのままの状態とし、カメラ部101から信号出力がない期間は、符号化クロックの供給を停止するようにしてもよい。この場合、クロック分周部106をクロック停止制御部として用いるようにする。また、FIFOメモリ102が不要となる。このような構成とすれば、より簡単な構成で、上述した効果を得ることができる。

【0095】(第2の実施の形態) 本発明は、例えば、図4に示すようなカメラ一体型画像記録装置200に適用される。このカメラ一体型画像記録装置200は、上述した第1の実施の形態におけるカメラ一体型画像記録装置100と同様に、動画用の圧縮符号化方式として、MPEG符号化方式を採用している。

【0096】ここで、本実施の形態でのカメラ一体型画像記録装置200の最も特徴とする構成は、シャッタ速度変更機能により1/nのスローシャッタの場合には、1ピクチャから次の1ピクチャまでの期間に、(n-1)フレームのPピクチャが発生するようなピクチャ構成となるように、フレーム内符号化とフレーム間符号化を切り替えて実行することにある。以下、本実施の形態におけるカメラ一体型画像記録装置200の構成及び動作について具体的に説明する。

【0097】[カメラ一体型画像記録装置200の構成]

【0098】カメラ一体型画像記録装置200は、シャッタ速度変更機能を有するものであり、上記図4に示すように、撮像レンズ201、撮像素子(CCD)202、カメラ信号処理回路203、画面並替回路204、撮影モード信号入力端子205、システム制御回路206、スイッチ207、減算器208、DCT回路209、量子化回路210、可変長符号化回路211、逆量子化回路212、IDCT(逆DCT)回路213、加算器214、動き補償予測回路215、バッファ216、レート制御回路217、音声データ入力端子218、音声符号化回路219、バッファ220、スイッチ221、記録媒体222、及びスイッチ223を備えている。

【0099】[カメラ一体型画像記録装置200の一連

の動作]

【0100】 先ず、レンズ201により、被写体光はC D 202の撮像面に結像され、C D 202の光電変換作用により撮像信号に変換される。この撮像信号は、カメラ信号処理回路203に供給される。

【0101】 カメラ信号処理回路203は、C D 202からの撮像信号からノイズを低減し、画像信号を取り出し、その画像信号を補正した後に色差信号と輝度信号に分離して、1フレーム単位で画面並替回路204に供給する。

【0102】 このとき、システム制御回路206には、撮影モード信号入力端子105から撮影モード信号が供給される。システム制御回路206は、撮影モード信号入力端子205からの撮影モード信号により、通常のシャッタ速度における動作モード（通常撮影モード）であるか、シャッタ速度変更機構によるスローシャッタにおける動作モード（スローシャッタモード）であるかを判定し、その判定結果に基づいて、画面並替回路204に対して画面並替順序を指示する。このときの画面並替順序についての詳細は後述する。また、システム制御回路206は、上記撮影モード信号に基づいて、フレームに同期した符号化切換信号をスイッチ107に供給することで、フレーム内符号化（以下、「イントラ符号化」と言う）とフレーム間予測符号化（以下、「インター符号化」と言う）を切り替える制御を行う。

【0103】 画面並替回路204は、複数フレームを記憶できるメモリ（図示せず）を有し、システム制御回路206から指示された画面並替順序に従って、カメラ信号処理回路203からの画像信号を上記メモリに一旦記憶し、入力時のフレーム順を入れ替えて出力する。

【0104】 以下、画面並替回路204以降の各回路の動作を、システム制御回路206によりイントラ内符号化に切り替えられた場合と、インター符号化に切り替えられた場合とに分けて説明する。尚、「イントラ符号化」とは、フレーム内の画像データのみで符号化するものであり、1ピクチャを生成するための符号化である。一方、「インター符号化」とは、フレーム間予測も含めて符号化するものであり、P及びBピクチャを生成するための符号化である。

【0105】 まず、イントラ符号化に切り替えられた場合、スイッチ207は、システム制御回路206からの制御により、A側（画面並替回路204の出力側）に切り替えられる。これにより、画面並替回路204から出力された画像信号は、スイッチ207を介して、D C T回路209に供給される。

【0106】 D C T回路209は、スイッチ207を介して供給された画面並替回路204からの画像信号に対して直交変換処理を行い、その処理後の画像信号を量子化回路210に供給する。量子化回路210は、D C T回路209からの画像信号に対して量子化処理を行い、

その処理後の画像信号を逆量子化回路212及び可変長符号化回路211にそれぞれ供給する。

【0107】 逆量子化回路212は、量子化回路210からの画像信号に対して逆量子化処理を行うことで、量子化前の画像信号を復元し、これをI D C T回路213に供給する。I D C T回路213は、逆量子化回路212からの画像信号に対してI D C T処理を行うことで、量子化誤差を含む直交変換前の画像信号を復元し、これを加算器214に供給する。

【0108】 このとき、スイッチ223は、システム制御回路206からの制御により、O F F状態となっている。したがって、I D C T回路213の出力はそのまま動き補償予測回路215に供給される。

【0109】 動き補償予測回路215には、画面並替回路204から出力された画像信号も供給されており、動き補償予測回路215は、次のインター符号化のために、I D C T回路213からの画像信号と、画面並替回路204からの画像信号とから、予測画像信号を生成する。

【0110】 一方、可変長符号化回路211は、量子化回路210からの画像信号を可変長符号化し、それをバッファ216に書き込む。バッファ216に書き込まれた画像信号は、スイッチ221の出力端に供給される。

【0111】 つぎに、インター符号化に切り替えられた場合、スイッチ207は、システム制御回路206からの制御により、B側（減算器208の出力側）に切り替えられる。また、スイッチ223は、システム制御回路206からの制御により、常にO N状態となる。これにより、減算器208は、画面並替回路204から出力された画像信号と、動き予測回路213にて生成された予測画像信号との減算処理を行う。これは、画像の時間軸方向の冗長度を落とすためである。減算器206により得られた、時間軸方向の冗長度が落とされた画像信号の差分画像信号は、スイッチ207を介して、D C T回路209に供給される。

【0112】 D C T回路209は、スイッチ207を介して供給された減算器208からの差分画像信号に対して直交変換処理を行い、その処理後の差分画像信号を量子化回路210に供給する。量子化回路210は、D C T回路209からの差分画像信号に対して量子化処理を行い、その処理後の差分画像信号を逆量子化回路212及び可変長符号化回路211にそれぞれ供給する。

【0113】 逆量子化回路212は、量子化回路210からの差分画像信号に対して逆量子化処理を行うことで、量子化前の差分画像信号を復元し、これをI D C T回路213に供給する。I D C T回路213は、逆量子化回路212からの差分画像信号に対してI D C T処理を行うことで、量子化誤差を含む直交変換前の差分画像信号を復元し、これを加算器214に供給する。

【0114】 このときスイッチ223は、O N状態である

ため、加算器 214 には、動き補償予測回路 215 にて生成された前フレームの予測画像信号が供給される。したがって、加算器 214 は、動き補償予測回路 213 からの前フレームの予測画像信号と、IDC T 回路 213 からの差分画像信号とを加算することで、現在のフレームの画像信号を復号し、これを動き補償予測回路 215 に供給する。

【0115】動き補償予測回路 215 は、次の画像符号化のために、加算器 214 からの復号画像信号と、画面並替回路 204 から出力された画像信号とから、予測画像信号及び動きベクトルを取得し、予測画像信号をインター符号化のために減算器 208 に供給すると共にスイッチ 223 を介して加算器 214 に供給し、動きベクトルを可変長符号化回路 211 に供給する。

【0116】可変長符号化回路 211 は、動き補償予測回路 215 からの動きベクトルに基づいて、量子化回路 210 からの画像信号を可変長符号化し、それをバッファ 216 に書き込む。バッファ 216 に書き込まれた画像信号は、スイッチ 221 の入力端に供給される。

【0117】上述のようなイントラ符号化又はインナー符号化に切り替えられた時のレート制御は、レート制御回路 217 により行われる。すなわち、レート制御回路 217 は、バッファ 216 の容量を監視し、その容量が目標容量より少ない場合には、次の量子化が粗く行われるように量子化回路 210 を制御し、その容量が目標容量若しくはそれ以上の場合には、予め初期値として与えられている通常の量子化を行うように、量子化回路 210 を制御することで、バッファ 115 の記録レートを 1 ピクチャ間（以下、「GOP」と言う）に情報量がおおよそ一定になるように制御する。

【0118】このとき、スイッチ 221 は、システム制御回路 206 からの制御により、A 側（バッファ 216 の出力側）に切り替えられており、したがって、バッファ 216 からスイッチ 221 の入力端子（A 側の端子）に対して入力された画像信号（符号化後の画像信号）は、記録媒体 222 に記録されることになる。

【0119】上述のようにして、カメラ一体型画像記録装置 200 では、符号化後の画像信号が記録媒体 222 に記録される。また、音声信号については、次のようにして符号化されて記録媒体 222 に記録される。

【0120】まず、音声信号は、音声データ入力端子 218 から入力され、音声符号化回路 219 に供給される。音声符号化回路 219 は、音声データ入力端子 218 からの音声信号に対して、MPEG 符号化方式等に従った符号化処理を行い、その処理後の音声信号をバッファ 220 に書き込む。バッファ 220 に書き込まれた音声信号は、スイッチ 221 の入力端に供給される。

【0121】スイッチ 221 は、システム制御回路 206 からの制御により、B 側（バッファ 220 の出力側）に切り替えられており、これにより、バッファ 220 か

らスイッチ 221 の入力端子（B 側の端子）に対して入力された音声信号（符号化後の音声信号）は、記録媒体 222 に記録されることになる。

【0122】尚、スイッチ 221 は、システム制御回路 206 からの制御により、画像信号が書き込まれるバッファ 216 の出力と、音声信号が書き込まれるバッファ 220 の出力とが時分割多重して記録媒体 222 へ記録されるように、A 側と B 側の切り替えが行われる。したがって、記録媒体 222 には、例えば、図 5 に示すように、GOP 単位の符号化後の画像信号（可変長画像データ：Video）と、符号化後の音声信号（固定長のオーディオデータ：Audio）とが、時系列に記録される。

【0123】[通常のシャッタ速度における画面並替及び符号化順序] ここでは、上述したカメラ一体型画像記録装置 200 の一連の動作において、撮影モード信号入力端子 205 からの撮影モード信号により通常撮影モード（通常のシャッタ速度における動作モード）が指定され、これに基づいたシステム制御回路 206 の制御により、画面並替回路 204 にて実行される画面並替処理、及びその後段での符号化処理について具体的に説明する。

【0124】図 6 は、画面並替回路 204 に対して入力される画像信号、及び画面並替回路 204 から出力される画像信号を示したものである。この図 6（上段参照）に示すように、画面並替回路 204 に対しては、第 1 フレーム、第 2 フレーム、第 3 フレーム、・・・と 1/30 秒毎に画像信号が入力され、これと同時にシステム制御回路 106 から画面並替順序の指示が入力される。

【0125】通常撮影モードの場合においては、画面並替回路 204 は、システム制御回路 106 からの画面並替順序の指示に基づいて、第 1 フレーム、第 2 フレーム、第 3 フレーム、・・・を、第 3 フレーム、第 1 フレーム、第 2 フレーム、・・・に並び替えて出力する（上記図 6 下段参照）。

【0126】そして、システム制御回路 106 は、画面並替回路 204 から第 3 フレーム、第 1 フレーム、第 2 フレーム、・・・の順で出力される画像信号に対して、図 7 に示すようなイントラ符号化及びインター符号化が行われるように、スイッチ 207 の切り替え制御を行う。

【0127】イントラ符号化及びインター符号化については上述したように、まず、イントラ符号化とは、フレーム内のデータのみで符号化するものであり、上記図 7 に示すような 1 ピクチャを生成する符号化である。また、インター符号化とは、フレーム間予測も含めて符号化するものであり、上記図 7 に示すような P 及び B ピクチャを生成する符号化である。例えば、第 6 フレームの P ピクチャは、第 3 フレームの 1 ピクチャとの差分、又は動きベクトル情報によって生成される。また、第 1 フ

フレーム及び第2フレームのBピクチャは、第3フレームのIピクチャと第6フレームの差分、又は動きベクトル情報によって生成される。

【0128】スローシャッタにおける画面並替及び符号化順序）ここでは、上述したカメラ一体型画像記録装置200の一連の動作において、撮影モード信号入力端子205からの撮影モード信号によりスローシャッタモード（スローシャッタにおける動作モード）が指定され、これに基づいたシステム制御回路206の制御により、画面並替回路204にて実行される画面並替処理、及びその後段での符号化処理について具体的に説明する。

【0129】図8は、例えば、1/3のスローシャッタモードの場合に、カメラ信号処理部203から出力されるフレーム単位の画像信号、及びCCD202における蓄積電荷の飽和量を示したものである。

【0130】上記図8に示すように、1/3のスローシャッタモードにおいては、3フレーム分の時間をかけてCCD202に電荷が蓄積され、 $t = 3/30$ 秒毎にカメラ信号処理部203から出力される画像信号（フレーム単位の画像信号）が更新される。したがって、CCD202に電荷を蓄積途中である第2フレーム及び第3フレームは、第1フレームがホールドされてカメラ信号処理部203から画面並替回路204に対して出力されることになる。第5フレーム及び第6フレームについても同様に、第4フレームがホールドされてカメラ信号処理部203から画面並替回路204に対して出力されることになる。

【0131】図9は、この場合の画面並替回路204に対して入力される画像信号、及び画面並替回路204から出力される画像信号を示したものである。この図9（上段参照）に示すように、画面並替回路204に対しては、第1フレーム、第2フレーム、第3フレーム、・・・と1/30秒毎に画像信号が入力され、これと同時にシステム制御回路106から画面並替順序の指示が入力される。

【0132】スローシャッターモードの場合においては、画面並替回路204は、システム制御回路106からの画面並替順序の指示に基づいて、入力された第1フレーム、第2フレーム、第3フレーム、・・・を並び替えずに、そのまま第1フレーム、第2フレーム、第3フレーム、・・・の順で出力する（上記図9下段参照）。

【0133】そして、システム制御回路106は、画面並替回路204から第1フレーム、第2フレーム、第3フレーム、・・・の順で出力される画像信号に対して、図10に示すようなイントラ符号化及びインター符号化が行われるように、スイッチ207の切り替え制御を行う。

【0134】したがって、第1フレーム及び第4フレームに対してはイントラ符号化処理が行われ、これにより

Iピクチャが生成され、第2フレーム、第3フレーム、第5フレーム、第6フレームに対してはインター符号化処理が行われ、これによりPピクチャが生成される。

このとき、例えば、第2フレーム及び第3フレームのPピクチャは、第1フレームのIピクチャとの差分、又は動きベクトル情報によって生成される。また、第5フレーム及び第6フレームのPピクチャは、第4フレームのIピクチャの差分、又は動きベクトル情報によって生成される。以降の第7フレーム、第8フレーム、第9フレームについても、第1フレーム、第2フレーム、第3フレーム、及び第4フレーム、第5フレーム、第6フレームと同様の処理がなされる。

【0135】上述のように、1/3のスローシャッタモードの場合は、第1フレーム、第2フレーム、第3フレームが同一画像であり、第4フレーム、第5フレーム、第6フレームについても同様に同一画像であるため、第1フレーム及び第4フレームはイントラ符号化処理を行なってIピクチャを生成し、他の第2フレーム、第3フレーム、第5フレーム、第6フレームはインター符号化処理を行なってPピクチャを生成する。

【0136】尚、ここでは説明の簡便のために、1/3のスローシャッタモードを例に挙げて説明したが、1/nのスローシャッタ（nは正の整数）に拡張することも容易に可能であり、この場合の符号化は、上記図10に示したIピクチャと次のIピクチャ間のPピクチャのフレーム数が（n-1）フレームとなる。

【0137】上述のように、本実施の形態では、シャッタ速度に基づいて、フレーム内符号化とフレーム間符号化の切り替えを行い、特に、1/nのスローシャッタの場合には、nフレーム期間は同じ画像であることにより、Iピクチャから次のIピクチャまでの期間に（n-1）フレームのPピクチャが発生するようピクチャ構成となるような、フレーム内符号化とフレーム間符号化の切り替え（上記図10参照）を実行するように構成したので、符号化効率を著しく向上させることができる。

【0138】尚、本発明の目的は、上述した各実施の形態のホスト及び端末の機能を実現するソフトウェアのプログラムコードを記憶した記憶媒体を、システム或いは装置に供給し、そのシステム或いは装置のコンピュータ（又はCPUやMPU）が記憶媒体に格納されたプログラムコードを読みだして実行することによっても、達成されることは言うまでもない。この場合、記憶媒体から読み出されたプログラムコード自体が各実施の形態の機能を実現することとなり、そのプログラムコードを記憶した記憶媒体は本発明を構成することとなる。プログラムコードを供給するための記憶媒体としては、ROM、フロッピーディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、磁気テープ、不揮発性のメモリアード等を用いることができる。また、コンピュータが読みだしたプログラムコードを実行

することにより、各実施の形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼動しているOS等が実際の処理の一部又は全部を行い、その処理によって各実施の形態の機能が実現される場合も含まれることは言うまでもない。さらに、記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書き込まれた後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部又は全部を行い、その処理によって各実施の形態の機能が実現される場合も含まれることは言うまでもない。

【0139】

【発明の効果】以上説明したように本発明によれば、シャッタ速度が遅い場合（スローシャッタ）、発生する画像情報（ピクチャデータ）のみを符号化の対象として符号化処理を行うことができるため、符号量の低減と消費電力の低減が可能となる。特に、シャッタ速度を遅くすればするほど、発生する符号量及び回路の消費電力を低減できる。また、シャッタ速度を変更した場合に生成されるピクチャデータの特性に応じた符号化処理が可能となるため、符号化効率をさらに改善することができる。また、シャッタ速度を速くした場合でも、符号化効率を考慮したピクチャ構成により、画質改善が可能である。

【0140】また、本発明によれば、1/nのスローシャッタを用いた場合においても、そのシャッタ動作に適した符号化処理を行うことができるため、符号化効率を著しく向上させることが可能である。

【図面の簡単な説明】

【図1】第1の実施の形態において、本発明を適用したカメラ一体型画像記録装置の構成を示すブロック図である。

【図2】上記カメラ一体型画像記録装置の圧縮符号化*

*式として用いるMPEG符号化方式でのGOPを説明するための図である。

【図3】上記カメラ一体型画像記録装置でのシャッタ速度に基づいたピクチャ構成を説明するための図である。

【図4】第2の実施の形態において、本発明を適用したカメラ一体型画像記録装置の構成を示すブロック図である。

【図5】上記カメラ一体型画像記録装置での画像及び音声の記録フォーマットを説明するための図である。

【図6】上記カメラ一体型画像記録装置において、通常撮影モードでの画面並替を説明するための図である。

【図7】上記通常撮影モードでの符号化順序を説明するための図である。

【図8】上記カメラ一体型画像記録装置において、スローシャッタモードでのカメラ信号処理部の出力とCCDの電荷飽和量を説明するための図である。

【図9】上記スローシャッタモードでの画面並替を説明するための図である。

【図10】上記スローシャッタモードでの符号化順序を説明するための図である。

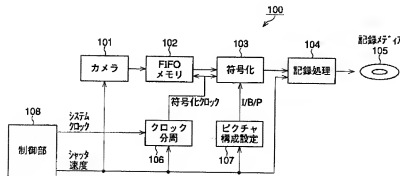
【図11】従来のスローシャッタモード時の符号化手順を説明するための図である。

【図12】上記符号化構成を示すブロック図である。

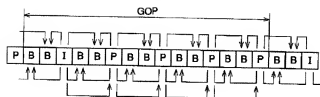
【符号の説明】

- 100 カメラ一体型画像記録装置
- 101 カメラ部
- 102 FIFOメモリ
- 103 符号化部
- 104 記録処理部
- 105 記録メディア
- 106 クロック分周部
- 107 ピクチャ構成設定部
- 108 制御部
- 109 制御速度

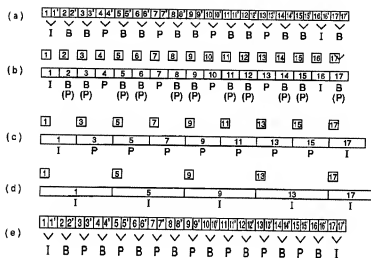
【図1】



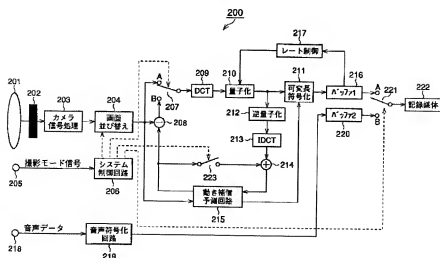
【図2】



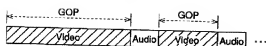
【図3】



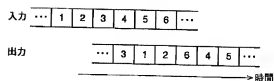
【図4】



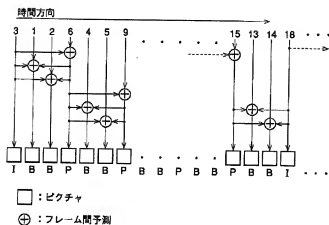
【図5】



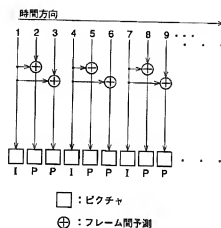
【図6】



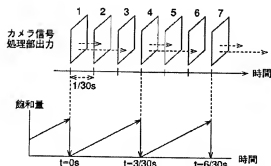
【図7】



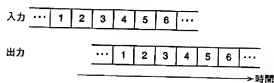
【図10】



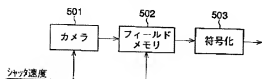
【図8】



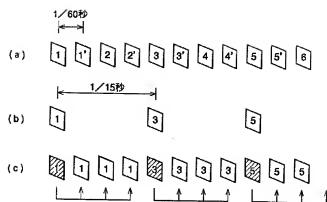
【図9】



【図12】



【図11】



フロントページの続き

(51)Int.Cl.

H04N 5/92

識別記号

FI

H04N 5/91

5/92

7-コード (参考)

L

H

Fターム(参考) 5C018 FA02 FB03

5C022 AA00 AC42 AC52 AC69 AC79

5C052 AA01 AA17 AB04 CC11 GA01

GB06 GC05 GD03 GE06 GF01

5C053 FA21 FA23 FA27 GB37 JA21

KA04 KA05 KA25 LA01

5C059 MA00 MA05 ME01 PF05 PP06

PP07 SS14 SS20 SS26 TA25

TC36 UA02 UA38 UA39